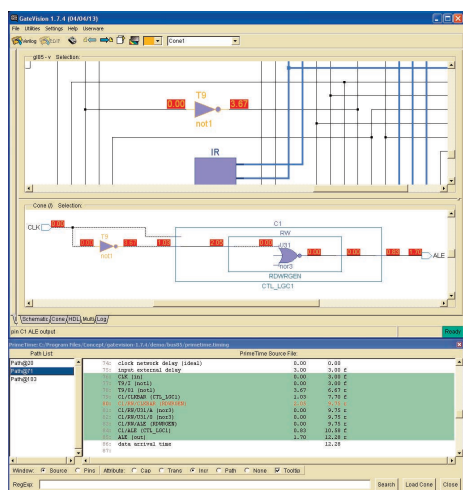


להשקיף מעבר לשער

לא משנה מהו סט הכלים המשמש לבניית התקן, במוקדם או במאוחר אין תחליף להתבוננות בשערים. עבור מרבית מתכנני האלקטרוניקה, תרשים שערים הוא הרבה יותר מובן מאשר רישום קודים. במאמר זה נבחן את האופן בו בחינת השערים עשויה לסייע למהנדס המתכנן

Gerhard Angst, Concept Engineering



איור 1: מידע של דו"ח PrimeTime מתוך GateVision

מאפשר הדמיה של האזור הקטן הנמצא בבחינה, כשהדמיה מבוצעת לפני ואחרי הכנסת שינויים בתכנון. הדמיה של קטע-מעגל תרוץ הרבה יותר מהר מאשר היה דרוש לשם הדמיה של התכנון כולו או אפילו של תת-מכלול של התכנון. הרבה יותר קל ומהיר לעזור קטע המעגל כדי ליצור מצב ספציפי לשם חקירתו, מאשר בשעה שמדמים את כל המעגל. ניתן כעת להריץ הדמיות מרובות כדי לראות את התוצאות של ביצוע כיוון עדין על נתיבים קריטיים.

ניתן עתה להחליף את אותו אזור עם מתכננים אחרים, לאגור אותו כחלק מתיעד תכנון הפריט, או להשתמש בו להפקת שורת דו"חות.

לא פחות שימושית תהיה היכולת לבדיקת-הצלבה בין תרשים השערים הנבדק והקוד המתאר אותו, תוך מעבר מאחד לשני בשעת ניפוי התכנון וחקירת הקונוס הלוגי.

במידה מסוימת, חלק מהפריטים ברשימת המשאלות המתוארת לעיל, ניתן להשגה במערכות הכלים של אחדות מחברות ה-EDA המובילות. אך אף אחת איננה מציעה את המכלול השלם, וקיימות מגבלות אפילו בכלים הזמינים. כלים אחדים מבצעים אופטימיזציה, תוך הפקת הסכמות והדיאגרמות ברמת השערים. משמעות הדבר היא שהמתבונן איננו רואה מעגלים אמיתיים, מופקים על-ידי קוד. ייתכנו אף שינויי שמות או שיטוח של ההירארכיה הלוגית, כאשר שניהם מקשים על הקישור בין השערים המוצגים לבין הקוד אשר יצר אותם. הכלכלה של השימוש

כאשר כתבת את הקוד לתכנון מסוים, לאחר שנה או שנתיים הקוד הופך לבלתי-ברור כך שסקירה מהירה של מבנה השערים עשויה להיות כלי-עזר שימושי לצורכי שילוב קטע של תכנון ישן בתוך התכנון הנוסף.

מבט על השערים

בכל המקרים הללו, היכולת ליטול את הנטליסט (Verilog או EDI), ליצור סכימה, הן של התכנון המלא והן של האזור הקריטי, ואז לבחון את מבנה השערים, הנה חשובה ביותר. אבל הפקת תרשים שערים עשויה להיות רק נקודת מוצא ליצירת כלי-עזר אחרים ורבי-עוצמה להבנת המעגל, ניפוי ותייעודו.

הקונוס הלוגי הנוצר בעקיבה אחר הנתיב היא מכשיר רב-עוצמה

כאשר מנפים תכנון, עוד יותר חשוב להיות מסוגל לעקוב אחר אות מסוים לאורך נתיבו, דרך השערים השונים, עד למקורו. כך יכול המתכנן לראות היכן נוצר האות ובאילו נסיבות. יש לקוות שכך יובן מדוע האות עושה את מה שהוא עושה, ולעתים אף יותר חשוב, מדוע הוא עושה דברים שהמתכנן לא התכוון להם. ערך זה של עקיבה אחרי הנתיב עשוי לגדול עוד יותר אם ניתן לראות את תוצאות ניתוח תזמון סטטי במבט על השער, תוך זיהוי נתיבים קריטיים וחריגות בתזמון.

הקונוס הלוגי הנוצר בעקיבה אחר הנתיב היא מכשיר רב-עוצמה. השימוש בו כנטליסט HDL

יום כמעט בלתי-אפשרי לתכנון התקנים מורכבים (ASICs, SoCs), CPUs ו-DSPs (FPGAs גדולים)

בלי להשתמש בשפות תכנון עיליות. Verilog ו-VHDL בעצמן נדחקות החוצה על-ידי כלים המגיעים לרמות גבוהות יותר של הפשטה, כגון System C או SystemVerilog. בתיאוריה ניתן לעבור דרך כל שרשרת התכנון, מהמפרט הראשוני ועד להעברת התכנון לייצור מבלי להסתכל (ובוודאי מבלי לעבוד) על שום דבר מלבד קוד RTL.

לצד השימוש במבנים ברמה יותר גבוהה, קיים צורך לממש תת-מערכות של מערכת גדולה על-ידי שימוש חוזר ברכיבי תכנון קיימים. אלה ניתנים להספקה בצורה פורמלית, באמצעות שימוש ב-IP עצמי או של גורם שלישי, על-ידי מתכנן העושה שימוש חוזר בפריט אשר תוכנן קודם לכן. גישה זו דרושה לעתים קרובות אם יש להשלים תכנון תוך מילוי דרישת מועד-לשיווק חמורה. הרמה הנמוכה ביותר ש-IP מוגש בדרך כלל היא נטליסט (list-net), HDL, ומרכיבי התכנון בשימוש חוזר הם לרוב באותו פורמט.

אולם, לעתים קרובות מתכנן מגיע לשלב בו חשוב לדעת מה קורה ברמה יותר נמוכה. לעולם לא קל לדמיין את המעגל הבסיסי המיוצג על-ידי רישום קודים, ובעת הניפוי (debugging), בעיות הנראות בלתי-פתירות ברמת הקוד עשויות להיפתר ביתר קלות בשעה שמתבוננים בתרשים שערים.

מספיק בדרך כלל לבחור במפרט הכתוב המתאר מה עושה רכיב IP מסוים ולהשתמש בו, אולם יש מקרים בהם אין תחליף ליכולת לפתוח את הקופסה השחורה, להסתכל על תרשים השערים ולראות כיצד היא מבצעת את משימותיו. אפילו

מידע בחלונות הקונסו והסכמה.

העבודה בחלון הקונסו מאפשרת להרחיב את שטח הקונסו על-ידי עקיבה אחרי אות קדימה או אחורה, לראות את מקור האות או את תוצאות השינויים המוכנסים. כאשר נתיב מתפצל, הקונסו הלוגי יכול לכלול או לא לכלול את הענפים, כדי למלא את הדרישות המיידיות של הניתוח. ניתן גם להצליב בדיקה מהקונסו או מהסכימה אל רישום קוד הנטליסט ובחזרה.

לאחר זיהוי קונסו לוגי, קיימות מספר אופציות. שטח הקונסו הלוגי ניתן להעברה כנטליסט של Verilog (או EDIF), אותו ניתן לשנות ולהדמות כדי לבחון את התוצאות של הנהגת שינויים בשטח הקונסו.

בדומה, ה-Tcl API יכול לשמש להפקת דו"חות מהקונסו הלוגי. ניתן להכתיב על-ידי המשתמש מה בדיקת יכלולו הדו"חות, אך הם יכולים לכלול סטטיסטיקות אודות הקונסו הלוגי, או את התוצאות של שינויים נוספים בתזמון הסטטי. לחלופין, ניתן לנצלם לצורך הפקת תיעוד על נושאים שונים ועל השינויים שנועדו לתקנם. ■

Gerhard Angst הוא המייסד המשותף, הנשיא והמנכ"ל של Concept Engineering, אשר מיוצגת בישראל על ידי חברת קאל.

לטפל בהתקנים בעלי מיליונים רבים של שערים.

מאחר שכבר בוצע ניתוח התזמון הסטטי, המתכנן יכול גם לנצל את תא הטייס (cockpit) לויזואליזציה של הנתיב הקריטי, המסופק עם ה-GateVision, כדי לטעון את תיק הדו"חות PrimeTime ASCII (החלון התחתון באיור 1), באמצעות ה-Tcl API.

בעיות הנראות בלתי-פתירות ברמת הקוד עשויות להיפתר ביתר קלות בשעה שמתבוננים בתרשים שערים

המתכנן מבקש לבחון נתיב קריטי Path@71, (השטח הצבוע בירוק). בחירת הנתיב ברשימת הנתיבים ולחיצה על לחצן "Load Cone" מציגות את סכמת האזור בחלון אחד, ואת הנתיב ברמת השער בחלון השני, או של הקונסו הלוגי. תסריט ה-Tcl מוסיף אוטומטית את ערכי התזמון של PrimeTime לנתיבים הן בסכמה והן בחלון הקונסו. אפשר להשתמש כחלופה ללחיצה על הנתיב ברשימת הנתיבים, בלחיצה על קו ספציפי ברישום ה-PrimeTime בחלון כדי לטעון את חלון הקונסו, או, אם החלון כבר הוטען, כדי לספק

בכלים אלה עשויה להביא לכך שרשיון יקר של מערכת-כלים מסוימת ישמש לבחינת השערים ולא יהיה זמין לביצוע מטלות אחרות.

GateVision

כדי למלא את כל הדרישות האלה, ויותר מזה, Concept Engineering פיתחה כלי עצמאי לבחינת שערים, בשם GateVision. הוא כולל בממשקים הן ל-Verilog והן ל-EDIF, כך שניתן להשתמש בו עם כלי התכנון המובילים לפיתוח של SoCs, ASICs, DSPs, CPUs ו-FPGAs. יש לו גם API Tcl, המאפשר חיבורו לכניסה ויציאה של כלים רבים אחרים, גם בבעלות עצמית וגם של צד שלישי. כדי להעריך כיצד GateVision ממלא את הקריטריונים שנדונו לעיל, רצוי להסתכל על דוגמה ספציפית, המתוארת באיור 1.

תכנון מסוים פותח בסביבת Synopsis, ונבנה נטליסט Verilog. זה יכול להיות באותה המידה נטליסט EDIF, הנבנה על-ידי כלי תכנון של FPGA. המעגל גם נבדק לתזמון סטטי תוך שימוש בכלי הניתוח של תזמון סטטי ברמת-שערים Synopsis PrimeTime. עתה זקוק המתכנן לבחינה פרטנית של אזור במעגל, כדי לגלות, לדוגמה, מדוע אזור מסוים בתכנון מתנהג בצורה בלתי-צפויה.

לאחר פתיחת ה-GateVision, המתכנן מאתר וטוען את הנטליסט של Verilog. בעזרת GateVision, ניתן